

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-090721

(43)Date of publication of application : 27.03.2002

(51)Int.Cl.

G02F 1/1335

G02F 1/1368

G09F 9/30

(21)Application number : 2000-285936

(71)Applicant : SEIKO EPSON CORP

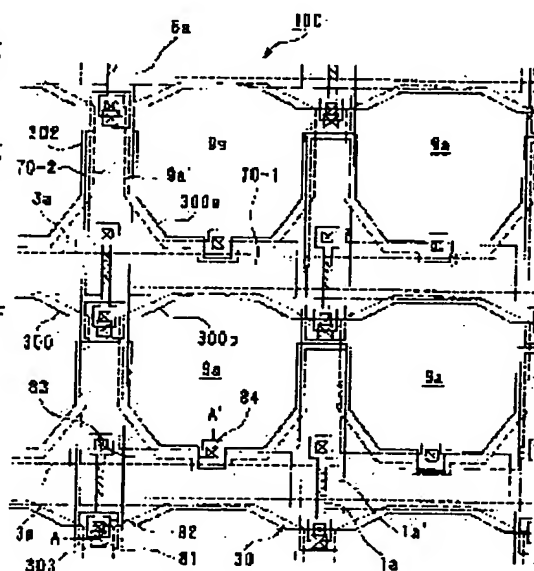
(22)Date of filing : 20.09.2000

(72)Inventor : KURASHINA HISAKI

**(54) ELEMENT SUBSTRATE FOR ELECTRO-OPTIC DEVICE AND ELECTRO-OPTIC DEVICE USING THE SAME****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To prevent a switching element from deteriorating in performance by preventing generation of a light leak current induced by a transistor element by light entering from a corner part of a pixel, and to prevent a change in performance of the switching element.

**SOLUTION:** The corner part of the pixel is covered with a light-shielding metallic film between the transistor element and a liquid crystal layer to cut off the light to enter the transistor element part from the corner part of the pixel. A data line or/and a capacity line are made wide at the corner part and then used as the light-shielding metallic film between the transistor element and liquid crystal layer. Moreover, a new light shield film can be provided between the transistor element and liquid crystal layer to cover the corner part of the pixel.

**LEGAL STATUS**

[Date of request for examination]

25.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

일본공개특허공보 평 14-090721호(2002.03.27) 1부.

[첨부그림 1]

(15) 日本国特許庁 (J P)

(16) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-80721

(P2002-90721A)

(43) 公開日 平成14年9月27日 (2002. 3. 27)

(51) Int.Cl.	識別記号	PI	ナノド (参考)
G 0 2 F 1/1335	5 0 0	G 0 2 F 1/1335	5 0 0 2 H 0 9 1
	1/1338	G 0 9 F 9/30	3 3 8 2 H 0 9 2
G 0 9 F 9/30	3 3 8		3 4 9 C 5 C 0 9 4
	3 4 9	G 0 2 F 1/138	5 0 0

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(31) 出願番号 特開2000-285938(P2000-285938)

(32) 出願日 平成12年9月20日 (2000. 9. 20)

(71) 出願人 000002389

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 倉科 久樹

長野県諏訪市大和8丁目8番5号 セイコーエプソン株式会社内

(74) 代理人 100095729

弁護士 上柳 雅彦 (外1名)

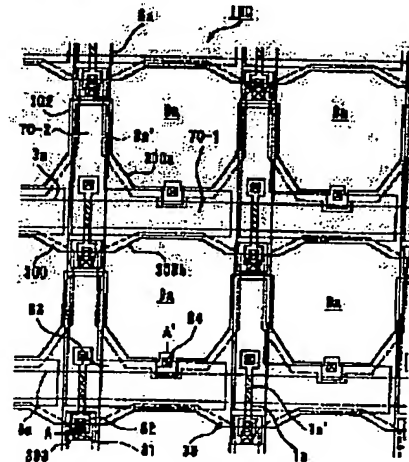
最終頁に続く

(54) 【発明の名称】 電気光学装置用素子基板及びそれを用いた電気光学装置

(57) 【要約】

【課題】 画素の隔部から透入する光によってトランジスタ素子に照射される光リーク電流の発生を防止して、スイッチング素子の性能の劣化を防ぐ。

【解決手段】 トランジスタ素子と液晶層との間にある透光性の金属膜によって画素の隔部を覆うことによつて、画素の隔部からトランジスタ素子部へ透入する光を遮断する。トランジスタ素子と液晶層との間にある透光性の金属膜としては、データ線、垂直線のいずれかあるいは双方を画素の隔部で幅広に構成することにより利用することができる。また、トランジスタ素子と液晶層との間に新たな透光膜を設け、画素の隔部を覆うように構成しても良い。



【特許請求の範囲】

【請求項 1】 基板上にマトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたトランジスタと、前記トランジスタに接続された画素電極とを有する電気光学装置用素子基板であって、前記トランジスタと画素電極との間に被覆された遮光膜の平面投影した像を該トランジスタ近傍で偏広にして、画素電極の隅部を遮蔽するように構成したことを特徴とする電気光学装置用素子基板。

【請求項 2】 前記画素電極の隅部を遮蔽するように構成した遮光膜が、容量線であることを特徴とする請求項 1 に記載の電気光学装置用素子基板。

【請求項 3】 前記容量線が、該素子基板の平面構造において、走査線と重畳して配置されていることを特徴とする請求項 2 に記載の電気光学装置用素子基板。

【請求項 4】 前記容量線が、該素子基板の平面構造において、走査線と平行に配置されていることを特徴とする請求項 2 に記載の電気光学装置用素子基板。

【請求項 5】 前記画素電極の隅部を遮蔽するように構成した遮光膜が、信号配線であることを特徴とする請求項 1 に記載の電気光学装置用素子基板。

【請求項 6】 前記画素電極の隅部を遮蔽するように構成した遮光膜が、容量線と信号配線の双方であることを特徴とする請求項 1 に記載の電気光学装置用素子基板。

【請求項 7】 前記画素電極の隅部を遮蔽するように構成した遮光膜が、該素子基板の断面構造において、画素電極と信号配線の間に設けられていることを特徴とする請求項 1 に記載の電気光学装置用素子基板。

【請求項 8】 前記画素電極の隅部を遮蔽するように構成した遮光膜が、各画素の四隅を斜めに遮るように構成されてなることを特徴とする請求項 1 から請求項 7 のいずれかに記載の電気光学装置用素子基板。

【請求項 9】 請求項 1 から請求項 8 のいずれかに記載の電気光学装置用素子基板を具備することを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電気光学装置用素子基板及びそれを用いた電気光学装置に関し、特に画素電極の隅部の遮光性を高めたものである。

【0002】

【従来の技術】 絶縁基板上にマトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたトランジスタと、前記トランジスタに接続された画素電極とを有する電気光学装置は、構造は複雑であるがスイッチ特性が高く、高画質が安定して実現できるので、液晶表示装置として広く使われている。液晶表示装置に用いられるトランジスタとしては、絶縁基板上にシリコン薄膜を形成し、そのシリコン薄膜上にトランジスタを形成した TFT (Thin Film Transistor

) が使用されている。TFT を用いたアクティブマトリクス方式の電気光学装置では、基板表面からの光が TFT のチャネル領域やドレイン領域に入射し、光リーク電流の発生によりトランジスタ素子としての画素スイッチング用 TFT の特性を変化させる問題がある。TFT への光の入射を防ぐため、マトリクス状に配列された各画素部の開口領域の周りに TFT を設け、この開口領域の周りに一体的に格子状の遮光膜を形成する手段が知られている。

【0003】 例えば液晶装置を使用したプロジェクター等の投射型表示装置では、通常光透過性基板の表面から光が反射されるため、これが基板上に形成されたトランジスタのチャネル領域に入射して、光リーク電流を生じる。この光リーク電流を防ぐため、射向基板のトランジスタ直上に遮光層を設ける構造とするのが一般的である。

【0004】 また、アクティブマトリクス方式の電気光学装置では、表示画面におけるフリッカや焼き付きを防止するため、画素電極が構成する容量に見合った密接容量を設ける必要がある。このため開口領域の周りには、走査線、データ線、容量線、TFT あるいは密接容量を合理的に配置し、その上で TFT への光の入射を防ぐための遮光膜を形成する必要がある。このような TFT アレイ基板の一例を図 16 及び図 17 に挙げて説明する。

【0005】 図 16 は、データ線、走査線、画素電極、遮光膜等が形成された TFT アレイ基板の相隣接する複数の画素部の一部を拡大して示す平面図、また、図 17 は、図 16 の線 P-P' に沿った断面図である。なお、図 16、17 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎の縮尺は異なっている。

【0006】 図 16 は TFT アレイ基板の画素部（画素表示領域）内の平面構造を示す。液晶表示装置の TFT アレイ基板上の画素部内には、マトリクス状に複数の透明な画素電極 9a（点線部 9a' により輪郭が示されている）が設けられており、画素電極 9a の縦横の境界に沿って各データ線 6a、走査線 3a 及び容量線 3b が設けられている。データ線 6a は、コンタクトホール 5a を介して単結晶シリコン層の半導体層 1a のうち前述のソース領域に電気的に接続されており、画素電極 9a はコンタクトホール 8a を介して半導体層 1a のうち前述のドレイン領域に電気的に接続されている。また、半導体層 1a のうちチャネル領域（図中左上りの斜線の領域）に射向するように走査線 3a が配置されており、走査線 3a はゲート電極として機能する。

【0007】 容量線 3b は、走査線 3a に沿ってほぼ直線状に伸びる本線部（即ち、平面的に見て、走査線 3a に沿って形成された第 1 領域）と、データ線 6a と交差する箇所からデータ線 6a に沿って斜交部（図中、上向き）に突出した突出部（即ち、平面的に見て、データ線

5a에沿って延設された第2傾斜面)とを有する。

【0008】そして、図中右上がりの斜線で示した傾斜面には、複数の第1透光膜11aが設けられている。より具体的には、第1透光膜11aは夫々、画素部において半導体層1aのチャネル傾斜面を含むTFTをTFTアレイベースの側から見て覆う位置に設けられており、更に、容量線3bの本線部に對向して定置線3aに沿って直線状に伸びる本線部と、データ線5aと交差する箇所からデータ線5aに沿って隣接する底側(即ち、図中下向き)に突出した突出部とを有する。第1透光膜11aの各段(画素行)における下向きの突出部の先端は、データ線5a下において底面における容量線3bの上向きの突出部の先端と重ねられている。この重なった箇所には、第1透光膜11aと容量線3bとを相互に電気的に接続するコンタクトホール13が設けられている。即ち、本実施形態では、第1透光膜11aは、コンタクトホール13により前段あるいは後段の容量線3bに電気的に接続されている。1fは第1番積層電極である。

【0009】図16に示すように、このTFTアレイベースの構造では各画素電極9aの開口傾斜面の周りの定置線3aが配置された部分に平行して容量線3bを配置し、定置線の配置された部分に番積層電極7aを配置してある。また、データ線5aが配置された部分にも重畳して容量線3bを配置して番積層電極7aを形成してある。そして平面上でTFTに重なるように第1透光膜11aが設けられている。

【0010】図17は液晶装置の断面構造を示す。液晶装置は、光透過性基板の一例を構成するTFTアレイベース10と、これに對向配置される透明な封入基板20とを備えている。

【0011】TFTアレイベース10には、画素スイッチング用のTFT30が設けられている。TFT30を構成する半導体層1aの高濃度ソース領域1dにデータ線5aが接続され、高濃度ドレイン領域1eに画素電極9aが接続されている。画素電極9aの上側には配向膜16が設けられている。

【0012】TFTへの光の入射を防ぐため、TFTアレイベース10上の各画素スイッチング用のTFT30に對應する位置には、第1透光膜11aが設けられている。これにより画素電極方向から入射した光が、TFTアレイベース10の底面で反射して戻ってきた光がTFT30のチャネル傾斜面1a'やLDD領域1b、1cに入射するのを未然に防ぐように構成されている。

【0013】一方、封入基板20には、その全面に達する封入電極(共通電極)21が設けられており、その下側には配向膜22が設けられている。

【0014】更に、封入基板20には各画素部の開口傾斜面以外の傾斜面に第2透光膜23が設けられている。このようにして、封入基板20の画素電極側からの入射光が、画素スイッチング用のTFT30の半導体層1aの

チャネル傾斜面1a'やLDD(Lightly Doped Drain)領域1b及び1cに進入するのを防いでいる。

【0015】

【発明が解決しようとする課題】しかしながら、上述の図16や図17に示す構造では、各画素電極9aは正方形に構成されており、各画素電極9aの開口部は開口部周囲を縦横に走る定置線3a、データ線3b及び容量線3bが直交に交わって構成されている。TFT30は各画素電極9aに對應して定置線3aとデータ線3bの交差部分に形成されている。このためTFTアレイベースに對して垂直な方向から入射する光は第2透光膜23によって遮断できるが、TFTアレイベースに對して画素電極9aの方向から斜め方向に入射する光は遮断することができない。第2透光膜23はTFT30のかなり上方に配置されているので、画素の斜め方向からの進入光を効果的に遮断することはできない。このような液晶装置では、各画素電極9aの開口部からスイッチング用TFTのチャネル傾斜面やドレイン傾斜面に光が入射し、TFTにリーク電流が発生して、画素スイッチング用素子としてのTFTの特性が劣化して、鮮明な画像表示が得られない。

【0016】特に、液晶プロジェクターに用いられる液晶表示装置においては、チャネル部に進入する光によるトランジスタの光リークが問題とされてきた。なかでもトランジスタに近い画素のコーナー部分からの光の進入が問題となってきた。

【0017】トランジスタの上部に透光層を設ける一般的な構造としても、支持基板が光透過性である場合は、表面から入射した光が基板表面側の界面で反射してチャネル部に戻り光として入射することがある。この戻り光は、表面から照射される光量に對する割合としては僅かであるが、プロジェクタなどの非常に強力な光源を用いる装置においては十分に光リーク電流を生じうる。すなわち、この基板表面からの戻り光は素子のスイッチング特性に影響を及ぼしデバイスの特性を劣化させる。従って基板表面の、特に画素コーナー部から入射する光を極力少なくしなければならない。

【0018】本発明は、かかる課題を解決するためになされたもので、TFTアレイベースに對して斜め方向から入射する光も遮断することができるTFTアレイベースを提供することを目的としている。さらに、TFTアレイベースを使用したスイッチング特性に優れ、鮮明な画像表示が得られる電気光学装置を提供することを目的とする。

【0019】

【課題を解決するための手段】かかる課題を解決するため、本発明の電気光学装置用素子基板は、基板上にマトリクス状に形成された複数の定置線及び複数のデータ線と、前記定置線とデータ線に接続されたトランジスタと、前記トランジスタに接続された画素電極とを有する

電氣光學裝置用素子基板であって、封記トランジスタと画素電極との間には層された遮光膜の平面投影した層を該トランジスタ近傍で偏広にして、画素電極の隅部を遮断するように構成した。

【0020】このような本発明の構成によれば、画素電極の開口部はやや狭くなるものの、TFTアレイ基板の画素電極開口部から斜め方向にTFTに向かって入射する光を遮断することができ、光リーク電流の発生によりトランジスタ素子としての画素スイッチング用TFTの特性を劣化させることがない、電氣光學裝置用素子基板を実現することができる。

【0021】本発明の電氣光學裝置素子基板においては、封記画素電極の隅部を遮断するように構成した遮光膜として、容量線を利用することができる。また、封記画素電極の隅部を遮断するように構成した遮光膜として、データ線も利用することができる。

【0022】これらの各配線は、画素電極の周囲に格子状に配置されているので、これらの遮光膜を利用して、その格子の交差部分の近傍で縁幅を広く構成することにより、画素電極の開口部から各画素の隅部に設けられたTFT部へ入射する光を有効に遮断することが可能となる。偏広に構成する線の製造方法は、容量線やデータ線を形成する際のパターンニング形状を変えるのみで、特別な工程を設けなくても形成できる利点がある。

【0023】また、本発明の電氣光學裝置素子基板においては、封記容量線が、該素子基板の平面構造において、定置線と重畳して配置されていてもよく、又は封記容量線が、該素子基板の平面構造において、定置線と平行に配置されていてもよい。

【0024】前者の容量線が定置線と重畳して配置されている場合は、容量線の幅を各画素間の間隔一杯に取ることができ、密接容量を大きくとることが可能となる。また、後者の容量線が定置線と平行に配置されている場合は、各画素間の間隔によって容量線の幅は制限されるものの、同一工程で容量線と定置線を形成できる点で有利である。

【0025】また、本発明の電氣光學裝置素子基板においては、封記画素電極の隅部を遮断するように構成した遮光膜が、該素子基板の断面構造において、画素電極とデータ線の間の位置に設けられているものであってもよい。

【0026】製造工程は1工程増加するが、容量線やデータ線にとらわれず必要な位置に必要な形状の遮光膜を設けることにより、より効果的な遮断が可能となる。さらに、本発明の電氣光學裝置素子基板においては、封記画素電極の隅部を遮断するように構成した遮光膜が、各画素電極の四隅を斜めに遮断するように構成された遮光膜とすることが好ましい。通常TFTは、各画素電極の隅部に形成するので、画素電極の四隅を遮断しておけば、あらゆる方向からの斜め入射光を遮断することができ

る。勿論四隅ではなく遮断の必要な方向にのみ遮光膜を設けてもよい。また、各画素電極を遮断する遮光膜の形状は特に制限はないが、各画素電極の四隅を斜めに遮断するように遮断すれば、画素電極の開口部を狭めることなく、どの方向からの斜め入射光に対しても遮断の効果を有するものとなる。さらに、本発明の電氣光學裝置は請求項1から請求項8のいずれかに記載の画素電極の隅部を遮断膜を用いて遮断する構造の素子基板を具備した電氣光學裝置である。

【0027】本発明の電氣光學裝置は、画素電極隅部からTFT部に向かって斜めに入射する光を遮断しているため、TFT部にリーク電流が発生するのを防止でき、画素スイッチング用素子としてのTFTの特性が変化することはない。従ってより鮮明な表示画像を得ることが可能になる。

【0028】

〔発明の実施の形態〕以下、本発明の実施の形態を図面に基づいて説明する。なお、実施の形態の各図においても、各層や各部分を図面上で認識可能な程度の大きさとするため、各層や各部分毎の縮尺は同一ではなく、異ならせてある。

【0029】(第1の実施形態) 図1と図2は本発明の第1の実施形態の電氣光學裝置用素子基板の構造を示す図であり、図1はデータ線、定置線、画素電極、遮光膜等が形成された、本発明の第1の実施形態の電氣光學裝置用素子基板の、相隣接する複数の画素群を拡大して示した平面図を、図2は図1の線A-A'に沿った断面図を示す。図1に示すように、本実施形態では紙面で左右に走る容量線300をTFT30の近傍で偏広に形成して、画素電極90の隅部からの光の入射に対する遮光層の役割を担わせている。

【0030】先ず、図1に基づいて、本発明の電氣光學裝置用素子基板の画素部(画像表示領域)内の平面構造について詳細に説明する。

【0031】図1に示すように、本発明の第1の実施形態の電氣光學裝置用素子基板100は、TFTアレイ基板上の画素部内に、マトリクス状に複数の透明な画素電極90、(図1部90)により構成されている。設けられており、画素電極90の縦横の境界に沿って各クデータ線60、定置線30が設けられている。データ線60に沿った各画素電極90の隅部には、画素電極90をスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0032】データ線60は、コンタクトホール81を介して後述のソース電極303に電気的に接続されており、画素電極90は、定置線30に沿った辺に設けられたコンタクトホール84を介して後述のドレイン電極302に電気的に接続されている。また、半導体層10のうちチャネル領域101(図1中左よりの斜線の領域)に向かうように定置線30が配置されており、定置線

3a는 게이트電極としても機能する。TFT 30の一側側にはコンタクトホール81及び82が設けられている。コンタクトホール81はデータ線6aと中極電極としてのソース電極303(図中鎖線で示してある)とを電氣的に接続しており、コンタクトホール82はソース電極303と半導体層1aの高濃度ソース領域1dとを電氣的に接続している。TFT 30の他側側にはコンタクトホール83が設けられており、コンタクトホール83は中極電極としてのドレイン電極302と半導体層1aの高濃度ドレイン領域1eとを電氣的に接続している。

【0033】容量線300は走査線3aに重畳して画素電極9aの境界に沿って縦面左右方向に設けられている。容量線300は、走査線3aに沿ってほぼ直線状に伸びる本線部(即ち、平面的に見て、走査線3aに重畳して形成された第1領域)と、データ線6aと交差する箇所からデータ線6aに沿って縦面上下方向に突出した突出部(即ち、平面的に見て、データ線6aの走査方向に突出した第2領域)とを有する。そして、容量線300は、TFT 30近傍の上記突出部分において、画素電極9aの隔部を覆うように斜めに傾斜に形成されている。図1の容量線300の傾斜部分300a及び300bにおいては、画素電極9aの縦面下側の隔部に設けられた傾斜部分300aの方が、画素電極9aの縦面上側の隔部に設けられた傾斜部分300bよりもやや大きく形成されている。このような構造とすることにより、容量線300の傾斜部分300a及び300bは、夫々各画素部においてTFTアレイベース10の液晶層50側(縦面垂直方向)から見て、半導体層1aのチャネル領域1a'を含むTFT 30を覆う位置に設けられている。

【0034】さらに容量線300は、走査線3aに重畳してほぼ直線状に伸びる本線部において、絶縁膜を介して重畳して対向配置されたL字状のドレイン電極302(図中鎖線で示されている)とともに、密接容量70-1を形成している。

【0035】ドレイン電極302は、データ線6aと交差する箇所からデータ線6aに沿って縦面上下方向に突出した突出部(即ち、平面的に見て、データ線6aに重畳して延びた領域)を形成している。さらにドレイン電極302は、データ線6aの縦面上下方向に突出した突出部分において絶縁膜を介して容量線300と重畳して配置され、密接容量70-2を形成している。

【0036】これらの結果、データ線6a近傍の傾斜及び走査線3a近傍の傾斜といった、液晶のディスプレイエーションが発生する領域(即ち、容量線300が形成された領域)である、開口領域を外れたスペースを有効に利用して、画素電極9aの密接容量を増やしている。このように本実施の形態では密接容量70-1と密接容量70-2によって容量を確保し表示画面の安定化をはかっている。

【0037】次に、図2に基づいて、電気光学装置用素子基板100の画素部内の断面構造について説明する。先ず、断面構造の概要について説明すると、電気光学装置用素子基板100は光透過性の、例えばガラス基板や石英基板からなるTFTアレイベース10を備えており、TFTアレイベース10には、画素電極9a及び画素電極9aをスイッチング制御するための画素スイッチング用のTFT 30が設けられている。画素電極9aの上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO膜などの透明導電性膜からなる。また配向膜16は例えば、ポリイミド膜などの有機膜膜からなる。

【0038】このように構成された電気光学装置用素子基板100の画素電極9aと対向電極(図示省略)とが対向するように配置して、TFTアレイベース10と対向基板との間には、シール材(図示省略)により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び対向電極の配向膜により所定の配向状態を呈する。液晶層50は、例えば一価又は双極性のネマティック液晶を混合した液晶からなる。シール材は、二つの基板をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のスペーサが封入されている。

【0039】TFTアレイベース10には、図2に示すように、各画素電極9aに対応する位置に、各画素電極9aをスイッチング制御するための画素スイッチング用のTFT 30が設けられている。

【0040】さらに詳細に説明すると、TFTアレイベース10と半導体層1aとの間には、絶縁膜(絶縁層)12が設けられている。絶縁膜12は、TFTアレイベース10の全面に形成されており、TFTアレイベース10からの不純物の影響を排除して半導体素子としてのTFT 30を形成するためのものである。

【0041】絶縁膜12は、例えば、NSG(ソリッドノブシリケートガラス)、PSG(リンシリケートガラス)、BPSG(ボロリンシリケートガラス)、BPSG(ボロリンシリケートガラス)などの高抵抗性ガラス、又は、酸化シリコン膜、窒化シリコン膜等からなる。

【0042】画素スイッチング用のTFT 30は、LDD(Lightly Doped Drain)構造を有しており、走査線3a、該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの低濃度ソース領域(ソース側LDD領域)1b及び低濃度ドレイン領域(ドレイン側LDD領域)1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。ソース領域1

b 및 d並びにド레인領域1c及び1eは、半導体層1aに対し、n型又はp型のいずれかのチャネルを形成するのに応じて、所定濃度のn型用又はp型用のドーパントをドーピングすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用のTFT30として用いられることが多い。

【0043】画素スイッチング用のTFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ド레인領域1cに不純物イオンの打ち込みを行わないオフセット構造を持っていてもよい。ゲート電極3eをマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びド레인領域を形成するセルフアライン型のTFTであってもよい。

【0044】走査線3a、ゲート絶縁膜2及び絶縁膜12の上には、層間絶縁膜311が形成されている。層間絶縁膜311の上には、ド레인電極302及びソース電極303が形成されている。層間絶縁膜311には高濃度ソース領域1dへ通じるコンタクトホール82及び高濃度ド레인領域1eへ通じるコンタクトホール83がそれぞれ形成されている。このコンタクトホール82を介して、ソース電極303が高濃度ソース領域1dに電気的に接続されている。また、コンタクトホール83を介して、ド레인電極302が半導体層1aの高濃度ド레인領域1eに電気的に接続されている。

【0045】ド레인電極302及びソース電極303の上には絶縁膜301が形成されており、該絶縁膜を挟んでド레인電極302と対向する位置には容量線300が配置されている。容量線300は透光膜を兼ねており、TFT30の上方に配置されているので、画面上方から進入する光を効率的に通ってTFT30に当たらないようにすることができる。

【0046】本実施形態では、容量線300とド레인電極302とは絶縁膜301を介して重畳するよう積層して配置され、密接容量70-1を形成している。

【0047】容量線300は、好ましくはTi、Cr、W、Te、Mo及びPdのうちの少なくとも一つを含む、金属膜、合金、金属シリサイド等の透光性の高融点金属や、Al等の透光性の金属膜等から形成する。

【0048】高融点金属材料から形成すれば、TFTアレイ基板10上の容量線300の形成工程の後に行われるデータ線6eの形成等の素子基板の形成工程における高温処理により、容量線300が破壊されたり溶融しないようにできる。本実施形態においては、TFTアレイ基板10には透光膜を兼ねた容量線300がTFT30の上部に形成されているので、TFTアレイ基板10の液晶層50側からの光が画素スイッチング用のTFT30のチャネル領域1e'やLDD領域1b、1cに入射する事態を未然に防ぐことができる。図1に示すように、容量線300は画素電極9eの隔壁を覆うようにT

F T近傍において傾度部分300a、300bを形成しているので、画素電極9eの隔壁からTFT30に向かって斜め方向に進入する光を透過することができる。ほって、光リーク電流の発生によりトランジスタ素子としてのTFT30の特性が変化することはない。

【0049】容量線300及び絶縁膜301の上には層間絶縁膜312が配置されており、層間絶縁膜312には先のコンタクトホール81と84が形成されている。層間絶縁膜312の上にはデータ線6eが形成されている。データ線6eは、Al等の金属膜や金属シリサイド等の合金膜などの透光性の薄膜から形成されている。データ線6eの上には絶縁膜7が形成されており、絶縁膜7の上には画素電極9e又は配向膜16が形成されている。

【0050】コンタクトホール81を介してソース電極82とデータ線6eが電気的に接続される。また、コンタクトホール84を介してド레인電極302と画素電極9eが電気的に接続される。

【0051】このように形成された電気光学装置用素子基板100と対向基板とを微小間隔を保って貼り合わせ、空間に液晶層を挟んで液晶表示用パネルとする。

【0052】(第2の実施形態) 図3と図4は本発明の第2の実施形態の電気光学装置用素子基板の構造を示す図であり、図3はデータ線、走査線、画素電極、透光膜等が形成された、電気光学装置用素子基板の相隣接する複数の画素部を拡大して示した平面図を、図4は図3の線B-B'に沿った断面図を示す。本第2の実施形態が先の第1の実施形態と異なる点は、容量線300を傾度形成するのに替えて、図3に示すように傾度で上下に走るデータ線6eをTFT30の近傍で傾度形成して、画素電極9eの隔壁からの光の入射に対する透光層の役割を担わせている。

【0053】先ず、図3に基づいて、本発明の電気光学装置用素子基板の画素部(画像表示領域)内の平面構造について詳細に説明する。なお、図3と図4においては、図1と図2と同一の構成を有する構成部材には同一の符号を付して示している。

【0054】図3に示すように、電気光学装置用素子基板100は、TFTアレイ基板上の画素部内に、マトリクス状に配置の透明な画素電極9e(透光膜9e)により線画が示されている。が設けられており、画素電極9eの縦横の境界にそれぞれデータ線6e、走査線3eが設けられている。データ線6eに沿った各画素電極9eの隔壁には、画素電極9eをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0055】データ線6eは、コンタクトホール81を介して後述のソース電極303に電気的に接続されている。半導体層1aのうちチャネル領域1e' (図1中左上りの斜線の領域) に対向するよう走査線3eが配置



されており、走査線3aはゲート電極としても機能する。データ線6aは、直線状に伸びているが走査線3aと交差する部分で走査線3aの方向(即ち、平面的に見て紙面の左右方向)に突出した幅広部分6a'を有している。そして、データ線6aは、TFT30近傍の上記幅広部分6a'において、画素電極9aの隔壁を覆うように斜めに幅広に形成されている。このような構造とすることにより、データ線6aの幅広部分6a'は、夫々各画素部においてTFTアレイ基板10の液晶層50側(紙面垂直方向)から進入する光を遮るとともに各画素の隔壁からTFT30方向に対して斜めに進入する光も遮って、半導体層1aのチャネル領域1a'を含むTFT30に入射する光を効果的に遮断することができるようにした。

【0056】画素電極9aの走査線3aに沿った辺にはコンタクトホール8aが設けられており、画素電極9とドレイン電極302とが電気的に接続されている。TFT30の一端側にはコンタクトホール81及び82が設けられている。コンタクトホール81は、データ線6aと中絶電極としてのソース電極303(図中鎖線で示してある)とを電気的に接続しており、コンタクトホール82はソース電極303と半導体層1aの高濃度ソース領域1a'とを電気的に接続している。TFT30の他端側にはコンタクトホール83が設けられており、コンタクトホール83は中絶電極としてのドレイン電極302と半導体層1aの高濃度ドレイン領域1a'とを電気的に接続している。

【0057】容量線300は、走査線3aに重畳して画素電極9aの境界に沿って紙面左右方向に設けられている。さらに、容量線300は、データ線6aとも重畳してほぼ直線状に設けられている。

【0058】さらに容量線300は、走査線3aに重畳してほぼ直線状に伸びる部分において、絶縁膜を介して重畳して対向配置された十字状のドレイン電極302(図中鎖線で示されている)とともに、画素容量70-1を形成している。また、データ線6aに重畳してほぼ直線状に伸びる部分において、絶縁膜を介して重畳して対向配置されたドレイン電極302(図中鎖線で示されている)とともに、画素容量70-2を形成している。

【0059】これらの結果、データ線6a近傍の領域及び走査線3a近傍の領域の液晶のディスプレイネーションが発生する領域(即ち、容量線300が形成された領域)である開口領域を外れたスペースを有効に利用して、画素電極9aの画素容量を増やしている。このように本実施形態では画素容量70-1と画素容量70-2によって容量を確保し表示画面の安定化をはかっている。

【0060】次に、本第2実施形態における電気光学装置用素子基板100の画素部内の断面構造は、図4に示すとおりであり、図3においてコンタクトホール81、

82TFT30及びコンタクトホール84を通る線B-B'の沿って切断しているので、図2に示す第1実施形態の場合とまったく同じ構造となる。従ってここでは説明は省略する。以上のように本実施形態では、データ線6aをTFT近傍で平面上幅広に構成し、しかも画素の隔壁を覆うように斜めに幅広に構成したので、画素隔壁の開口部、特に画素の隔壁からTFTに向かって斜め方向に進入する光を効果的に遮断することができる。その結果、TFTに光リーク電流が発生することもないで、TFTのスイッチング特性が変化することもないで、安定した鮮明な表示画面が得られる。

【0061】(第3の実施形態)次に、図5から図9に本発明の第3の実施形態を示す。尚、図5から図9においても同一機能を有する構成部材については同一の符号を付した。

【0062】図5から図9は本発明の第3の実施形態の電気光学装置用素子基板の構造を示す図であり、図5は一つの画素電極9aの隔壁にTFT30が設けられ、各画素電極9aの境界に沿ってデータ線、走査線が形成された。本発明の電気光学装置用素子基板の一部を拡大して示した平面図である。図5は図5の線C-C'に沿った断面図を示し、図7は図5の線X-X'に沿った断面図を示し、図8は図5の線Y-Y'に沿った断面図を示し、図9は図5の線Z-Z'に沿った断面図を示す。本第3の実施形態が先の第1及び第2の実施形態とことなる点は、容量配線を2個に分割し、データ線沿いではデータ線と画素電位の容量電極の間に固定電位の容量電極を配置して、容量カップリングによりデータ線と画素電位の容量電極がお互いに影響して表示に悪影響するのを防いでいる。また、走査線沿いでは画素電位の容量電極と走査線の間に固定電位の容量電極を配置して、容量カップリングにより画素電位の容量電極と走査線がお互いに影響するのを防いでいる。

【0063】そして、それぞれの容量配線をTFT近傍で幅広に構成した点である。そして画素電極の隔壁のTFT近傍で幅広に形成された容量線の部分に画素電極用のコンタクトホールを設けた点である。

【0064】先ず、図5に基づいて、本発明の電気光学装置用素子基板100の画素部(画素表示領域)内の平面構造について詳細に説明する。

【0065】図5に示すように、本発明の第3実施形態の電気光学装置用素子基板100は、TFTアレイ基板100の画素部内にマトリクス状に複数の透明な画素電極9a(図5参照)により格納が示されている)が設けられており、画素電極9aの隔壁の境界に沿って各々データ線6a、走査線3aが設けられている。データ線6aに沿った各画素電極9aの隔壁には、画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。TFT30の一端側にはコンタクトホールACNTが設けられており、他端側にはコン

タクトホールB CNTが設けられている。データ線8aは、コンタクトホールA CNTを介して後述の半導体層1aの高濃度ソース領域1dに電気的に接続されており、後述の容量電極403a(図中粗い実線で示す)がコンタクトホールB CNTを介して半導体層1aの高濃度ドレイン領域1eに電気的に接続されている。さらにデータ線6a方向にはコンタクトホールS CNTが設けられており、後述の容量電極404aと透光膜11a(図中破線で示す)が電気的に接続され同電位に保たれている。透光膜11aは、TFTアレイ基板10上の各画素の境界に沿ってデータ線6a及び走査線3aに重畳して設けられている。データ線6aは、画素電極9aの一边に沿って縦面上下方向に直線状に伸びている。

【0066】一方の画素電位となる容量電極403aは、データ線6aに重畳して設けられており、走査線3aと交差する部分で走査線3aの一方の方向(即ち、平面的に見て縦面の右方向)の1個の画素電極の端部に突出した幅広部分403a'を形成している。

【0067】また、一方の固定電位となる容量電極404aも、データ線6aに重畳して設けられており、走査線3aと交差する部分で走査線3aの一方の方向(即ち、平面的に見て縦面の左方向)の2個の画素電極の端部に突出した幅広部分404a'を形成している。さらに、一方の固定電位となる容量電極404aは走査線3aと交差する部分で走査線3aの他の方向(即ち、平面的に見て縦面の右方向)の1個の画素電極に突出した幅広部分404a''を有している。この幅広部分404a''には、コンタクトホールC CNTが設けられており、コンタクトホールC CNTを介して固定電位となる容量電極404aと後述の403bとは電気的に接続しており同電位に保っている。また、もう一方の固定電位となる容量電極403bは走査線3aに重畳して設けられており、容量電極403bの一端は、先のコンタクトホールC CNTを介して容量電極404aに接続されている。さらに、もう一方の画素電位となる容量電極404bも、走査線3aに重畳して容量電極403bに対向して設けられており、画素電位となる容量電極404bは、1個の画素電極の端部で画素電極方向に突出して、突出部404b'を形成している。この突出部404b'は、先の画素電位となる容量電極403aの幅広部分403a'と重畳しており、ここはコンタクトホールD CNT及び後述の12 CNTが形成されている。コンタクトホールD CNTは、画素電位となる容量電極404bと容量電極403aを電気的に接続し同電位に保っている。このように本実施の形態では、画素電位となる容量電極403a、固定電位となる容量電極404a並びに固定電位となる容量電極403b、画素電位となる容量電極404bを、いずれもTFT近傍で幅広にかつ画素電極の端部を斜めに覆うように形成して、画素電極方向から進入光、特に画素電極の端部からTFT方向に

斜めに進入してくる光を遮断することができるようにしている。

【0068】また、1 CNTは端部でなく走査線に沿う辺の中央付近に配置することができるが、画素電極9aの端部の画素電位の容量電極の突出部404b'にコンタクトホールD CNT及び1 CNTを配置したので、先の第1の実施形態や第2の実施形態と比較して、各画素電極の隣接する縦面上下方向の間隔を狭くすることができる。また、一箇所にコンタクトホールを形成したことにより、コンタクトホールの凹凸による液晶の乱れによるデスクリーネーションの発生する領域を小さくでき、開口部を大きくできる。

【0069】次に、図に基づいて、電気光学装置用素子基板100の画素部内の断面構造について説明する。図6は、図5の線C-C'に沿ったコンタクトホールA CNT、B CNT及びS CNTを含む断面構造を示す図である。電気光学装置用素子基板100は、光透過性の例えばガラス基板や石英基板からなるTFTアレイ基板10を備えており、TFTアレイ基板10には、透光膜11a、画素電極9a、配向膜16及び画素電極9aをスイッチング制御するための画素スイッチング用のTFT 30が設けられている。画素電極9aは例えば、ITO膜などの透明導電性膜からなる。

【0070】このように構成された電気光学装置用素子基板100の画素電極9aと対向電極(図示省略)とが対面するように配置して、TFTアレイ基板10と対向基板との間には、シール材(図示省略)により囲まれた空間に液晶が封入される。液晶は、画素電極9aからの電界が印加されていない状態で配向膜16及び対向電極の配向膜により所定の配向状態を有する。液晶は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、二つの基板をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のスペーサが混入されている。

【0071】TFTアレイ基板10には、図6に示すように、各画素電極9aに対応する位置に、各画素電極9aをスイッチング制御するための画素スイッチング用のTFT 30が設けられている。

【0072】さらに詳細に説明すると、TFTアレイ基板10と半導体層1aとの間には、絶縁膜(絶縁体層)12が設けられている。絶縁膜12は、TFTアレイ基板10の全面に形成されており、TFTアレイ基板10からの不純物の影響を排除して半導体素子としてのTFT 30を形成するためのものである。

【0073】絶縁膜12は先の実施形態と同様に、例えば、NSG(ノンドーフシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)な

どの高純度シリコン又は、酸化シリコン膜、窒化シリコン膜等からなる。TFTアレイ基板10と絶縁膜12の間には透光性の金属からなる透光膜11aが設けられている。透光膜11aは、平面的にはデータ線5a、走査線3a及び容量電極403a、403b、404a、404bと重畳して、各画素電極の縦横の境界に沿って設けられている。透光膜11aはコンタクトホールSCNTを介して容量電極404aに接続されており、固定電位の容量電極404aを固定電位に保って表示画面の安定性を確保している。このように透光膜11aを配置することにより、画素領域の表面部から入射した光がTFTアレイ基板10の底面で反射して戻ってきた光を遮断することができる。

【0074】画素スイッチング用のTFT30も先の実施形態と同様に、LOD (Lightly Doped Drain) 構造を有している。

【0075】本実施形態では、TFT30をTFT30の直上で上面から覆うように、しかもTFT30近傍で幅広にA1等の透光性の金属膜からなる固定電位及び画素電位の容量電極が形成されているので、半導体層1aのチャネル領域1a'及びLOD領域1b、1cへの光の入射を効果的に防ぐことができる。

【0076】走査線3a、ゲート絶縁膜2及び絶縁膜12の上には、層間絶縁膜31が形成されており、層間絶縁膜31にはコンタクトホールACNT及びコンタクトホールBCNTが各々形成されている。コンタクトホールACNTはデータ線5aと半導体層1aの高濃度ソース領域1dを接続するものであり、コンタクトホールBCNTは容量電極403aと半導体層1aの高濃度ドレイン領域1eを接続するものである。

【0077】層間絶縁膜31の上には、画素電位の容量電極403aが形成されている。容量電極403aの上には絶縁膜401を介して固定電位の容量電極404aが形成されている。固定電位の容量電極404a及び絶縁膜401の上には、層間絶縁膜31:2が形成されており、層間絶縁膜31:2には先のコンタクトホールACNTが形成されている。層間絶縁膜31:2の上にはデータ線5aが形成されている。データ線5aは好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成する。

【0078】データ線5a及び層間絶縁膜31:2の上には、絶縁膜7が形成されており、絶縁膜7の上には画素電極9a又は配向膜16が形成されている。このようにすれば、データ線5aと画素電位の容量電極403aとの間に固定電位の容量電極404aが存在するため、データ線5aと画素電位の容量電極403aが容量カップリングによりお互いに影響されることはない。次に、図7に図5の線X-X'に沿ったコンタクトホールCCNTを含む断面構造の主要部分を示す。図7においては、

コンタクトホールCCNTを介して先に説明したとおり、固定電位の容量電極404aと固定電位の容量電極403bが接続されている様子を示している。TFT30を横切る部分では、ゲート絶縁膜2に覆われた半導体層1aが示されており、さらにその上にはデータ線5aが配置されている。次に、図8に図5の線Y-Y'に沿った断面構造を示す。線Y-Y'に沿った断面にはコンタクトホールは配置されておらず、走査線3aと、固定電位の容量電極403b及び画素電位の容量電極404bが絶縁膜を挟んで積層配置されている様子が示されている。このようにすれば、画素電位の容量電極404bと走査線3aとの間に固定電位の容量電極403bが存在するため、走査線3aと画素電位の容量電極404bが容量カップリングによりお互いに影響されることはない。最後に、図9に図5の線Z-Z'に沿ったコンタクトホールBCNT、コンタクトホールDCNT及びコンタクトホールICNTを含む断面構造の主要部分を示す。図9では、コンタクトホールBCNTを介して半導体層の高濃度ドレイン領域1eと画素電位の容量電極403aが接続されており、画素電位の容量電極403aはコンタクトホールDCNTを介して画素電位の容量電極404bに接続されている様子が示されている。さらに、画素電位の容量電極404bはコンタクトホールICNTを介してTFTに対応する画素電極9aに接続されている。画素電位の容量電極403aと固定電位の容量電極403bの間、及び画素電位の容量電極404aと固定電位の容量電極404bの間には、それぞれ絶縁膜401が形成されており、画素電極9aを形成している。このように構成された電気光学装置用素子基板と対向基板とを微小間隔を保持して貼り合わせ、空間に液晶層を挟んで液晶表示用パネルとする。以上のように本実施形態では、容量電極403a、容量電極404a並びに容量電極403b、容量電極404bをいずれもTFT近傍で幅広に、かつ画素電極の隣部に斜めに覆うように形成してあるので、画素電極方向からの進入光、特に画素電極の隣部からTFT方向に斜めに進入してくる光を遮断することができる。そして画素電極の隣部のTFT近傍で幅広に配置された容量電極の部分に画素電極用のコンタクトホールを設けたので、画素電極の開口部を広く活用することができる。

【0079】(第4の実施形態) 図10と図11は、本発明の第4の実施形態の電気光学装置用素子基板の構造を示す図である。図10は一つの画素電極9aの隣部にTFT30が設けられ、画素電極9aの周囲にデータ線5a、走査線3aが形成された、本発明の電気光学装置用素子基板の一部を拡大して示した平面図である。図11は図10の線O-O'に沿った断面図を示す。

【0080】本実施形態は、先に示した第2の実施形態と同様に画素電極の隣部の透光はデータ線をTFT近傍で幅広に形成して透光膜としたものである。本第4の実

施形態が先の第2の実施形態と異なる点は、容量配線が走査線に沿って並列して形成されている点である。

【0081】先ず、図10に基づいて、本発明の電気光学装置用素子基板100の画素部(画像表示領域)内の平面構造について詳細に説明する。

【0082】図10に示すように、本実施形態の電気光学装置用素子基板100は、TFTアレイベース上の画素部内に、マトリクス状に複数の透明な画素電極9a(鎖線部9a)により格線が示されている)が設けられており、画素電極9aの縦横の境界に沿って各々データ線6a、走査線3aが設けられている。また、走査線3aと平行して容量線300が設けられている。データ線6aに沿った各画素電極9aの間部には、画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0083】データ線6aは、コンタクトホール82を介して後述の半導体層1aの高濃度ソース領域1dに電気的に接続されており、画素電極9aは、走査線3aに沿った辺に設けられたコンタクトホール84を介して後述のドレイン電極302に電気的に接続されている。また、半導体層1aのうちチャネル領域1a' (図1中左上りの斜線の領域)に對向するように走査線3aが配置されており、走査線3aはゲート電極としても機能する。

【0084】容量線300は、走査線3aに平行して画素電極9aの境界に沿って縦横左右方向、及びデータ線6aと交差する箇所からデータ線6aに沿って縦横で上方方向に突出した突出部(即ち、平面的に見て、データ線6aに重なって延びた領域)が設けられている。容量線300は、絶縁膜を介して對向配置された走査線3aに平行にほぼ直線状に伸びるドレイン電極302とデータ線6aに沿って延びるドレイン電極302の縦横上方に突出した部分(図中細線で示されている)とともに、画素容量70を形成している。

【0085】ドレイン電極302は、データ線6aと交差する箇所からデータ線6aに沿って縦横で上方方向に突出した突出部(即ち、平面的に見て、データ線6aに重なって延びた領域)を形成している。そしてゲート絶縁膜2を介して容量線300と對向配置され、画素容量70を形成している。

【0086】次に、図11に基づいて、電気光学装置用素子基板100の画素部内の平面構造について説明する。電気光学装置用素子基板100は、光透過性の例えばガラス基板や石英基板からなるTFTアレイベース10を備えており、TFTアレイベース10には、透光膜420、画素電極9a及び画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。画素電極9aの上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO膜(インジウム・ティン

・オキサイド膜)などの透明導電性膜からなる。また配向膜16は例えば、ポリイミド膜などの有機膜からなる。

【0087】このように構成された電気光学装置用素子基板100の画素電極9aと對向電極(図示省略)とが對面するように配置し、左記の実施形態と同様に、TFTアレイベース10と對向基板との間には、シール材(図示を省略)により囲まれた空間に液晶が封入され、液晶層50が形成される。

【0088】TFTアレイベース10には、図11に示すように、各画素電極9aに對する位置に、各画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0089】さらに詳細に説明すると、TFTアレイベース10と半導体層1aとの間には、絶縁膜(絶縁体層)12が設けられている。絶縁膜12は、TFTアレイベース10の全面に形成されており、TFTアレイベース10からの不純物の影響を排除して半導体素子としてのTFT30を形成するためのものである。

【0090】絶縁膜12は先の実施形態と同様に、高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。TFTアレイベース10と絶縁膜12の間には透光性の金属からなる透光膜420が設けられている。透光膜420は、平面的にはデータ線6a、走査線3a及び容量線300と重畳して、各画素電極の縦横の境界に沿って設けられている。このように透光膜420を配置することにより、画素領域の表面部から入射した光がTFTアレイベース10の底面で反射して戻ってきた光を遮蔽することができ。

【0091】画素スイッチング用のTFT30も先の実施形態と同様に、LOD(LightlyDoped Drain)構造を有しており、走査線3a、容量線300からの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの高濃度ソース領域(ソース側LOD領域)1b及び低濃度ドレイン領域(ドレイン側LOD領域)1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、コンタクトホール84を介して複数の画素電極9aのうちの對向する一つが接続されている。

【0092】本実施形態では、TFT30をTFT30aの直上で上側から覆うように、しかもTFT30a近傍で幅広にA1等の透光性の金属薄膜からなるデータ線6aが形成されているので、半導体層1aのチャネル領域1a'及びLOD領域1b、1cへの光の入射を効果的に防ぐことが出来る。

【0093】走査線3a、ゲート絶縁膜2、容量線300及び絶縁膜12の上には、層間絶縁膜4が形成されており、層間絶縁膜4にはコンタクトホール82及びコン

タクトホール84が各々形成されている。

【0094】層間絶縁膜4の上には、データ線6aが形成されている。データ線6aは好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成する。

【0095】データ線6a及び層間絶縁膜4の上には、絶縁膜7が形成されており、絶縁膜7の上には画素電極9a又は配向膜16が形成されている。このように構成された電気光学装置用素子基板と対向基板とを微小間隔を保持して貼り合わせ、空間に液晶層を挟んで液晶表示用パネルとする。以上のように本実施形態では、データ線6aをTFT近傍で平面上傾広に形成し、しかも画素の隔壁を覆うように斜めに傾広に形成したので、画素領域の開口部、特に画素の隔壁からTFTに向かって斜め方向に進入する光を効果的に遮断することができる。その結果、TFTに光リーク電流が発生することもなく、TFTのスイッチング特性が変化することもないので、安定した鮮明な表示画面が得られる。

【0096】(第5の実施形態) 図12と図13は本発明の第5の実施形態の電気光学装置用素子基板の構造を示す図であり、図12は一つの画素電極9aの隔壁にTFT30が設けられ、画素電極9aの周囲にデータ線6a、走査線3aが形成された、本発明の第5の実施形態の電気光学装置用素子基板の一部を拡大して示した平面図である。図13は図12の線E-E'に沿った断面図を示す。本第5の実施形態が先の第1から第4の実施形態と異なる点は、断面構造においてTFT30直上のデータ線6aより上部の液晶層50側に新たな遮光膜421を設け、該遮光膜421によって画素電極の隔壁の遮断を行っている点である。

【0097】先ず、図12に基づいて、本発明の電気光学装置用素子基板100の画素部(画素表示領域)内の平面構造について詳細に説明する。

【0098】図12に示すように、電気光学装置用素子基板100は、TFTアレイ基板10の画素部内に、マトリクス状に複数の透明な画素電極9a(鎖線部9a)により構想が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3aが設けられている。また、走査線3aと平行して画素線300aが設けられている。データ線6aに沿った各画素電極9aの隔壁には、画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0099】データ線6aは、コンダクトホール82を介して半導体層1aの高濃度ソース領域1dに電気的に接続されており、画素電極9aは、画素電極9aの走査線3aに沿った辺に設けられたコンタクトホール84を介してドレイン電極302に電気的に接続されている。また、半導体層1aのうちチャネル領域1e(図1中

左上りの斜線の領域)に対向するように走査線3aが配置されており、走査線3aはゲート電圧としても機能する。

【0100】画素線300aは、走査線3aに平行して画素電極9aの境界に沿って縦横左右方向に伸び、さらにデータ線6aと交差する箇所からデータ線6aに沿って縦横で上方方向に突出した突出部(即ち、平面的に見て、データ線6aに重なる延びた領域)が設けられている。画素線300aは、絶縁膜を介して対向配置された走査線3aに平行にほぼ直線状に伸びるドレイン電極302とデータ線6aに沿って伸びるドレイン電極302の縦横上方に突出した部分(図中鎖線で示されている)とともに、容積容量70を形成している。画素電極9aの中心部及び画素電極9aの走査線3aに沿った辺に設けられたコンタクトホール84を除いた部分、すなわち画素電極9aの隔壁、走査線3a及びデータ線6aの部分には、遮光膜421が設けられている(図中鎖線で線部を示している)。遮光膜421は各画素の開口領域を挟まないように画素の隔壁を斜めに覆うように形成する。また、コンタクトホール形成部は避けて形成する。遮光膜421は後述のようにTFT30直上のデータ線6aより上方の液晶層に近い位置に設ける。

【0101】この新たに設けた遮光膜421によって縦横直方方向から入射する光、特に画素電極9aの隔壁からTFTに向かって斜め方向に進入する光を効果的に遮断することができ、TFTでの光リーク電流の発生を防ぐことが可能となる。

【0102】次に、図13に基づいて、電気光学装置用素子基板100の画素部内の断面構造について説明する。先の実施形態と同様に、本実施形態の電気光学装置用素子基板100は光透過性の例えばガラス基板や石英基板からなるTFTアレイ基板10を備えており、TFTアレイ基板10には、遮光膜420、画素電極9a及び画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。画素電極9aの上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。

【0103】このように構成された電気光学装置用素子基板100の画素電極9aと対向電極(図示省略)とが対向するように配置し、TFTアレイ基板10と対向基板との間には、シール材(図示省略)により囲まれた空間に液晶が封入され、液晶層50が形成される。

【0104】TFTアレイ基板10には、図13に示すように、各画素電極9aに対応する位置に、各画素電極9aをスイッチング制御するための画素スイッチング用のTFT30が設けられている。

【0105】TFTアレイ基板10と半導体層1aとの間には、絶縁膜(絶縁体層)12が設けられている。絶縁膜12は、高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。TFTアレイ基板10と絶縁

図12の図には、先の第3及び第4の実施形態と同様に、透光性の金属からなる透光膜420が設けられている。透光膜420は、平面的にはデータ線6e、走査線3e及び容量線300と重畳して、各画素電極の縦横の境界に沿って設けられている。このように透光膜420を配置することにより、画素領域の表面部から入射した光がTFTアレイ基板10の底面で反射して戻ってきた光を透過することができる。

【0106】画素スイッチング用のTFT30も先の実施形態と同様に、LDD (LightlyDoped Drain) 構造を有しており、走査線3e、駆動走査線3eからの電界によりチャネルが形成される半導体層1eのチャネル領域1e'、走査線3eと半導体層1eとを絶縁するゲート絶縁膜2、データ線6e、半導体層1eの低濃度ソース領域(ソース側LDD領域)1b及び低濃度ドレイン領域(ドレイン側LDD領域)1c、半導体層1eの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、コンタクトホール84を介して複数の画素電極9eのうちの対応する一つが接続されている。

【0107】本実施形態では、断面構造でTFT30直上のデータ線6eと液晶層50との間の位置にTFT30を上側から覆うように透光性の金属薄膜からなる透光膜421が形成されているので、半導体層1eのチャネル領域1e'及びLDD領域1b、1cへの光の入射を効果的に防ぐことができる。

【0108】走査線3e、ゲート絶縁膜2、容量線300及び絶縁膜12の上には、層間絶縁膜4が形成されており、層間絶縁膜4にはコンタクトホール82及びコンタクトホール84が各々形成されている。コンタクトホール82を介してデータ線6eが半導体層1eの高濃度ソース領域1dに電気的に接続され、また、コンタクトホール84を介して画素電極9eが半導体層1eの高濃度ドレイン領域1eに電気的に接続されている。

【0109】層間絶縁膜4の上には、データ線6eが形成されている。データ線6eは好ましくは不透明なAl又はAl合金あるいは高融点金属であるTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成する。

【0110】データ線6e及び層間絶縁膜4の上には、絶縁膜7に設けられた透光膜421が形成されており、透光膜421上の絶縁膜7の上には画素電極9e又は配向膜10が形成されている。透光膜421は、好ましくは不透明な金属であるAl、Ti、Cr、W、Ta、Mo及びPdのうちの少なくとも一つの金属単体、合金もしくは金属シリサイドから構成するのが好ましい。

【0111】このように透光膜421はTFT30上のTFT30と液晶層50との間の位置に配置する。TFT30より上の液晶層側に配置することにより、液晶層方向(紙面の上方向)から入射する光がTFT30に当た

らないようにすることができる。また、透光膜421は平面的に各画素の隣部を覆うように形成されているので、各画素の隣部からTFT30方向に斜め方向に入射する光を効果的に遮断することが可能となる。このように形成された電気光学装置用素子基板と対向基板とを微小間隔を保持して貼り合わせ、空間に液晶層を挟んで液晶表示用パネルとする。

【0112】次に、本発明の電気光学装置用素子基板を使用した電気光学装置について説明する。

【0113】本発明の電気光学装置用素子基板を使用した電気光学装置の例を図14及び図15に示す。

【0114】図14(a)は携帯電話の例を示す斜視図である。1000は携帯電話本体を示し、その中1001は本発明の電気光学装置用素子基板を使用した液晶装置である。

【0115】図14(b)は時計型電子機器の例を示す斜視図である。1100は時計本体を示し、1101は本発明の電気光学装置用素子基板を使用した液晶装置である。

【0116】図14(c)はワープロ、パソコン等の携帯情報処理装置の例を示す斜視図である。図中1200は情報処理装置を示し、12002はキーボード等の入力部、12004は情報処理装置本体、12005は本発明の電気光学装置用素子基板を使用した液晶装置である。

【0117】これらの電気光学装置に本発明の電気光学装置用素子基板を使用すれば、画素電極駆動用のスイッチング素子であるTFTに対して画素電極の隣部から進入する光を効果的に遮断することができるので、TFTのチャネル領域やドレイン領域に光が進入することなく、TFTにリーク電流が発生することもないので、TFTの特性が劣化することなく、鮮明な画素表示が得られる。他の電気光学装置の例として、本発明の電気光学装置用素子基板を使用した液晶装置を光変調装置とした、投影型表示装置(プロジェクタ)の例を図15に示す。本例の投影型表示装置は、システム光軸11に沿って配置した光源部1710、インテグレートレンズ1720、偏光光学素子1730から偏光線偏光される偏光照明装置1700、偏光照明装置1700から出射されたS偏光光線をS偏光光線反射面1401により反射させる偏光ビームスプリッタ1400、偏光ビームスプリッタ1400のS偏光反射面1401から反射された光のうち、青色光(B)の成分を分離するダイクロイックミラー1412、分離された青色光(B)を透過する反射型液晶光変調装置300B、青色光が分離された後の光のうち赤色光(R)の成分を反射させて分離するダイクロイックミラー1413、分離された赤色光(R)を透過する反射型液晶光変調装置1300R、ダイクロイックミラー1413を透過する残りの緑色光(G)を透過する反射型液晶光変調装置1300G、3つの反射型

液晶光學裝置 1300B, 1300R, 1300Gにて實現された光をダイクロイックミラー 1412, 1413, 偏光ビームスプリッター 1400にて合成し, この合成光をスクリーン 1600に投射する投射レンズからなる投射光學系 1500から構成されている. 上記3つの反射型液晶光學裝置 1300R, 1300G, 1300Bには, それぞれ本發明の電氣光學裝置用素子基板を使用した液晶裝置が使用されている. 本發明の電氣光學裝置用素子基板を使用することにより, TFTに近い画素の隣部からTFTのチャネル部に進入する光によるTFTの光リーク電流の発生を抑制することができ, スwitching特性に優れ, 鮮明な画像表示が得られる投射型表示装置とすることができる.

[0118]

【發明の效果】 以上詳細に説明したとおり, 本發明によればTFTと画素電極との間の位置に透光性の金属膜を設け, しかも該金属膜を画素電極の隣部を覆うように設けてあるので, 画素電極方向からの入射光, 特に画素電極の隣部からTFT方向に向かって斜め方向に進入してくる光を効果的に遮断することができる. その結果, TFTに光リーク電流が発生することもなく, スwitching素子としてのTFTの特性が変化することもなく, 鮮明な表示画面を得ることができる.

【図面の簡単な説明】

【図1】 本發明の電氣光學裝置用素子基板の第1実施形態の平面構造を示す図である.

【図2】 図1に示した電氣光學裝置用素子基板の線A-A'に沿った断面図である.

【図3】 本發明の電氣光學裝置用素子基板の第2実施形態の平面構造を示す図である.

【図4】 図3に示した電氣光學裝置用素子基板の線B-B'に沿った断面図である.

【図5】 本發明の電氣光學裝置用素子基板の第3実施形態の平面構造を示す図である.

【図6】 図5に示した電氣光學裝置用素子基板の線C-C'に沿った断面図である.

【図7】 図5に示した電氣光學裝置用素子基板の線X-X'に沿った断面図である.

【図8】 図5に示した電氣光學裝置用素子基板の線Y-Y'に沿った断面図である.

【図9】 図5に示した電氣光學裝置用素子基板の線Z-Z'に沿った断面図である.

【図10】 本發明の電氣光學裝置用素子基板の第4実施形態の平面構造を示す図である.

【図11】 図10に示した電氣光學裝置用素子基板の線D-D'に沿った断面図である.

【図12】 本發明の電氣光學裝置用素子基板の第5実施形態の平面構造を示す図である.

【図13】 図12に示した電氣光學裝置用素子基板の線E-E'に沿った断面図である.

【図14】 本發明の電氣光學裝置用素子基板を使用した電氣光學裝置の一例を示す図である.

【図15】 本發明の電氣光學裝置用素子基板を使用した電氣光學裝置の他の例を示す図である.

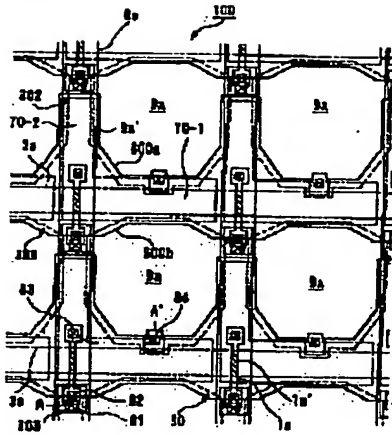
【図16】 従来の, 電氣光學裝置用素子基板の平面構造を示す図である.

【図17】 図16に示す従来の電氣光學裝置用素子基板の, 線P-P'に沿った断面図である.

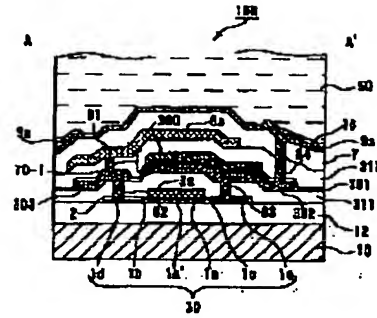
【符号の説明】

- 1a・・・半導体層
- 1e・・・チャネル領域
- 1b・・・低濃度ソース領域
- 1c・・・低濃度ドレイン領域
- 1d・・・高濃度ソース領域
- 1e・・・高濃度ドレイン領域
- 3a・・・走査線
- 6a・・・データ線
- 9a・・・画素電極
- 10・・・TFTアレイ基板
- 11a・・・透光膜
- 16・・・配向膜
- 30・・・TFT
- 50・・・液晶層
- 70・・・基板重合
- 81, 82, 83, 84, ACNT, BCNT, CCNT, TCNT, ICNT・・・コンタクトパッド
- 100・・・電氣光學裝置用素子基板
- 300・・・容置腔
- 420, 421・・・透光膜

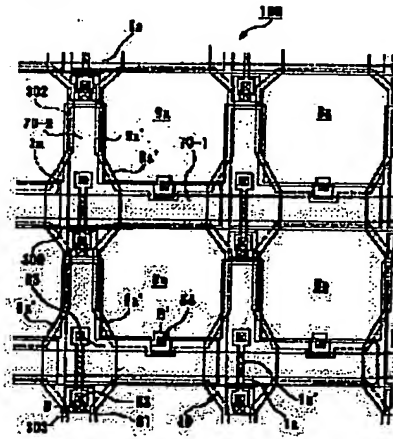
(圖 1)



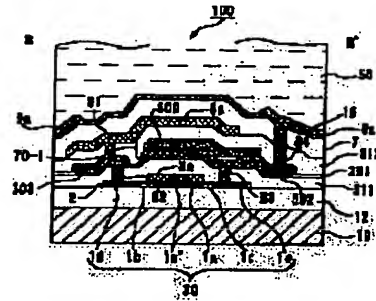
(圖 2)



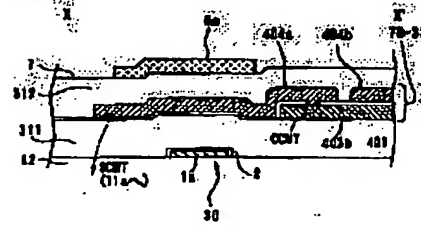
(圖 3)



(圖 4)

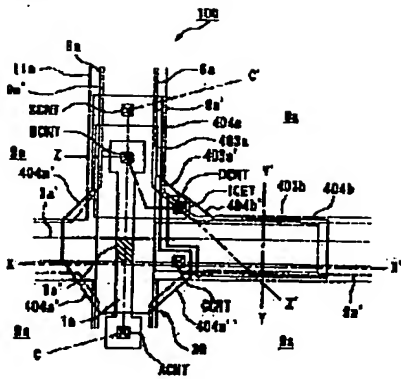


(圖 5)

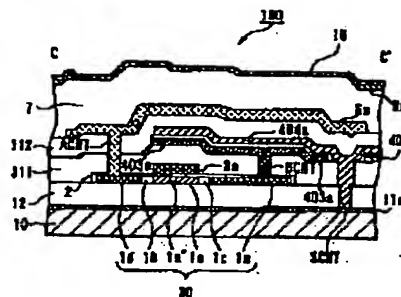




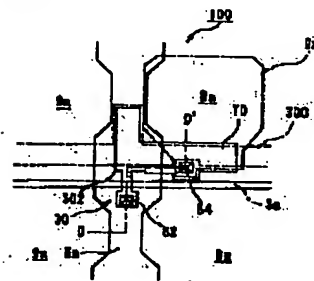
[ 85 ]



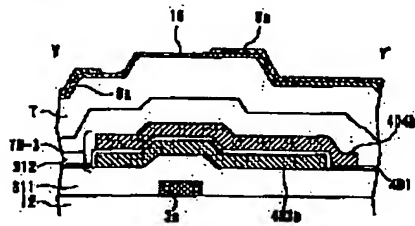
[ 86 ]



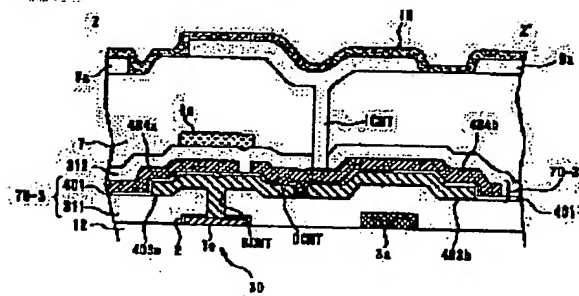
[ 87 ]



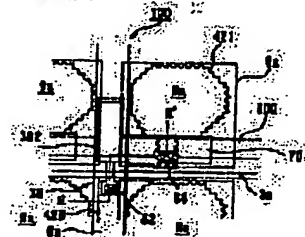
[ 88 ]



[ 89 ]

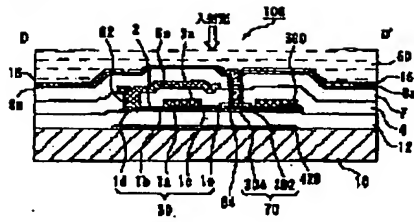


[ 90 ]

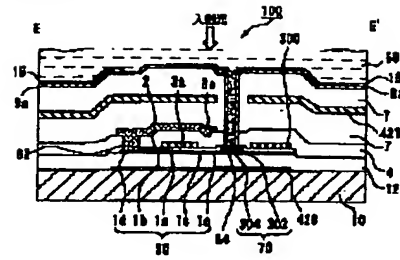


[첨부그림 16]

【圖 11】

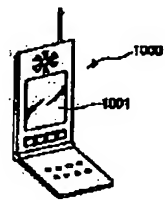


【圖 13】

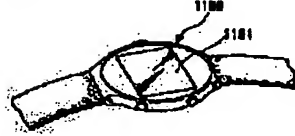


【圖 14】

(a)



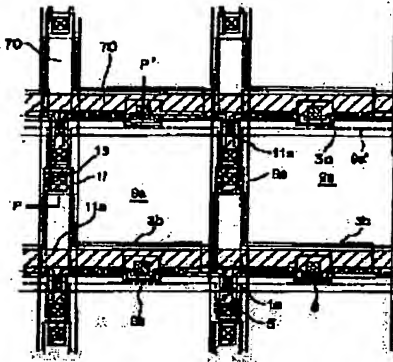
(b)



(c)



【圖 15】





[첨부그림 18]

フロントページの続き

Fターム(参考) 2H091 FA35Y FB08 FC10 FC26  
FD04 FD22 GA13 LA03 LA11  
LA12  
2H092 JA26 JA29 JA38 JA42 JA46  
JB13 JB23 JB32 JB33 JB38  
JB54 JB57 JB63 JB69 KA04  
KA07 KA16 KA18 KB14 MA05  
MA07 MA14 MA15 MA16 MA18  
MA19 MA20 MA35 MA37 MA41  
MA22 PA09  
SC094 RA02 RA16 RA25 BA03 BA43  
CA19 EA04 EA07 ED15